

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-098500

(43)Date of publication of application : 14.04.1998

(51)Int.Cl.

H04L 27/38

(21)Application number : 08-271310

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 24.09.1996

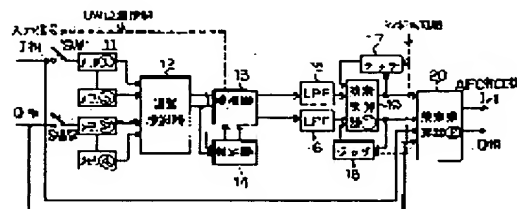
(72)Inventor : GOTO HIROKI

(54) AUTOMATIC FREQUENCY CONTROL METHOD AND ITS CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To widen a frequency offset correction range of an AFC used for a base band signal processing in a reception demodulation circuit of the multi-value modulation system without deteriorating the transmission efficiency.

SOLUTION: A phase difference among a plurality of symbols of a reception signal including a known symbol being a unique word(UW) and variable data symbols is obtained by a delay detector 12, and a discrimination device 14 obtains a residual phase rotation component after a modulation component of the variable data symbol based on the output of the detector 12, a phase shifter 13 obtains a frequency offset estimate value, it is averaged by LPFs 15, 16 and a complex multiplier 20 compensates the frequency error.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98500

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.⁶

H 0 4 L 27/38

識別記号

F I

H 0 4 L 27/00

G

審査請求 未請求 請求項の数 5 F D (全 9 頁)

(21) 出願番号 特願平8-271310

(22) 出願日 平成8年(1996) 9月24日

(71) 出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72) 発明者 後藤 裕樹

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

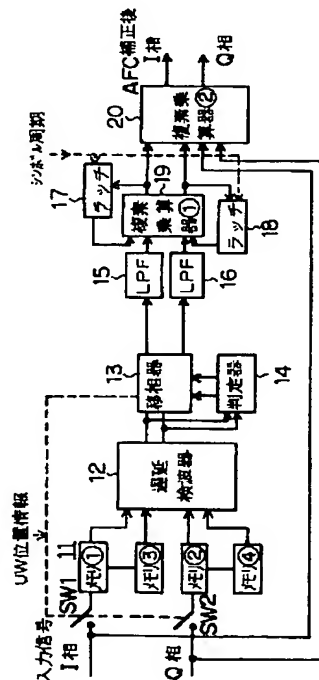
(74) 代理人 弁理士 大塚 学

(54) 【発明の名称】 自動周波数制御方法及び回路

(57) 【要約】

【課題】 多値変調方式の受信復調回路におけるベースバンド信号処理に用いられる A F C の周波数オフセット補正範囲を伝送効率を低下することなく広くする。

【解決手段】 U W として既知シンボルと可変データシンボルを含んだ受信信号の複数シンボルの位相差を遅延検波器 1 2 で求め、その出力を基にして可変データシンボルの変調成分を除去した後の残留位相回転成分を判定器 1 4 で求め、移相器 1 3 で周波数オフセット推定値を求めて L P F 1 5、1 6 で平均化し、複素乗算器 2 0 で周波数誤差を補償するように構成した。



【特許請求の範囲】

【請求項 1】 一定周期で挿入された既知シンボルとそれに隣接した可変データシンボルとそれに続くデータとで 1 フレームが構成された受信信号の前記既知シンボルと前記可変データシンボルの複数シンボル間の位相差を算出、判定する手段と、判定結果を基にして前記可変データシンボルの変調成分を除去した後に残る周波数オフセットによる残留位相回転成分を検出する手段と、該検出値を平均化して周波数オフセット推定値を求める平均化手段と、該周波数オフセット推定値を用いて周波数誤差を補償する手段とを備えた自動周波数制御方法。

【請求項 2】 請求項 1 記載の自動周波数制御方法に、前記位相差の上限を表すしきい値を保持する手段と、前記位相差と該しきい値とを比較する手段とが備えられ、

前記位相差がしきい値を超えたとき、該位相差を使用せず、該しきい値を超えない過去に検出された残留位相回転成分をその時の残留位相回転成分として平均化することによって得られた周波数オフセット推定値を用いて周波数誤差を補償するようにしたことを特徴とする請求項 1 記載の自動周波数制御方法。

【請求項 3】 一定周期で挿入された既知シンボルとそれに隣接した可変データシンボルとそれに続くデータとで 1 フレームが構成された受信信号の前記既知シンボルと前記可変データシンボルを記憶するメモリと、該メモリから前記既知シンボルと前記可変データシンボルを読み出して両シンボル間の位相差を算出する遅延検波器と、前記両シンボル間の位相差から変調による位相回転量を求めて出力する判定器と、その判定結果に基づきシンボル間の位相差から変調による位相回転を除去する移相器と、該移相器の出力を平均化する平均化回路と、該平均化回路の出力値を累積するラッチ回路と、該ラッチ回路の出力と前記受信信号との複素乗算を行う第 1 の複素乗算器と、該第 1 の複素乗算器の出力と前記受信信号との複素乗算を行って周波数誤差を補正した信号を出力する第 2 の複素乗算器とを備えたことを特徴とする自動周波数制御回路。

【請求項 4】 前記遅延検波器で算出される位相差の上限を限定するしきい値を保持するしきい値記憶バッファと、該しきい値と前記遅延検波器の出力とを比較し、その結果により切替え制御信号を出力する比較器と、前記移相器の出力を保持する第 2 のラッチ回路と、前記移相器の出力と前記第 2 のラッチ回路の出力を前記切替え制御信号に従って切替え出力する切替器とを備え、前記比較器は、前記切替器に対して、前記遅延検波器の

出力が前記しきい値より小さいときは前記移相器の出力を前記平均化回路に出力するような切替え制御信号を出力し、前記遅延検波器の出力が前記しきい値を超えたとき前記第 2 のラッチ回路の出力を前記平均化回路に出力するような切替え制御信号を出力するように構成したことを特徴とする請求項 3 記載の自動周波数制御回路。

【請求項 5】 前記しきい値記憶バッファは、前記移相器の出力の上限を限定するしきい値を保持し、前記比較器は、該しきい値と前記移相器の出力とを比較し、その結果により切替え制御信号を出力し、該比較器は、前記切替器に対して、前記移相器の出力が前記しきい値より小さいときは前記移相器の出力を前記平均化回路に出力するような切替え制御信号を出力し、前記移相器の出力が前記しきい値を超えたとき前記第 2 のラッチ回路の出力を前記平均化回路に出力するような切替え制御信号を出力するように構成したことを特徴とする請求項 3 記載の自動周波数制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、移動通信等での多値変調方式を利用した受信機の復調装置におけるベースバンドでの自動周波数制御方法及びその回路（AFC 回路）に関し、特に、そのデジタル信号処理の改良に関するものである。

【0002】

【従来の技術】 16QAM 変調方式に代表される多値変調方式を利用した変復調装置において、受信機での受信信号には、送受信装置間でのローカル周波数信号発生用の発振子の個体差のために周波数に差が生じ、その差が受信信号の周波数オフセットとして現れる。この周波数オフセットは、受信信号の一定速度の位相回転となって現れる。このような周波数オフセットの除去には、自動周波数制御回路（以降 AFC 回路と称する）が用いられる。

【0003】 図 9 は本発明を適用しようとする受信装置のブロック図である。図において、1 は直交検波器、2（2-1, 2-2）はローパスフィルタ（LPF）、3（3-1, 3-2）はアナログ／デジタル変換器（ADC）、4 は復調器、5 は本発明の対象とする AFC 回路、6 は UW 位置検出器、7 は伝搬路歪み推定補償器、8 は復号器、9 はパラレル／シリアル（P/S）変換器である。

【0004】 入力受信信号は、直交検波器 1 で検波され、互いに直交する I 相、Q 相の信号に変換される。その信号の高調波成分を LPF 2-1, 2-2 で除去してベースバンドの I 相信号と Q 相信号を得る。そのアナログ信号を A/D 変換器 3-1, 3-2 でデジタル信号に変換する。デジタル変換されたデータから復調器 4 でシンボルタイミングを抽出し、シンボルタイミングの点のデータを求める。そのデータに AFC 回路 5 で位相

3

補償処理を行う。その位相補償されたデジタル信号を伝送路歪み推定補償器7に入力し、フェージング等による伝送路歪みを推定して補償処理を加え、同時に準同期検波を行う。そして、復号器8で復号し、データを再生する。一方、A/D変換器3の出力はユニークワード

(以降UWと記述)位置検出器6に入力され、AFC回路5と伝送路歪み推定補償器7で使用するUW等の既知データの位置の検出が行われる。また、P/S変換器9は復号器8から出力されるパラレルデータをシリアルデータに変換して出力する。

【0005】図10は上記図9の受信装置に用いられているベースバンド処理での従来のAFC回路5のブロック図である。図において、SW1、SW2は切替器、11は4つのメモリ①、②、③、④、12は遅延検波器、13は移相器、15、16はLPF、17、18はラッチ、19、20は複素乗算器①、②、21はインバータである。また、図11は受信信号の従来のフレーム構成例図である。この例は1フレーム中にUWが連続して2シンボル挿入されている例である。

【0006】まず、フレーム毎にUW位置検出器6から出力されるUW位置情報に基づいて切替器SW1とSW2をオンにし、受信信号からUWデータをI相、Q相それぞれをメモリ①、メモリ②に記憶する。メモリ①と③、メモリ②と④はフレーム周期で動作し、UW1とUW2を記憶するシフトレジスタを構成している。即ち、*

$$\text{補正量のI相成分} : \cos(-\sum_i \Delta \theta_i) = \cos(\sum_i \Delta \theta_i)$$

$$\text{補正量のQ相成分} : \sin(-\sum_i \Delta \theta_i) = -\sin(\sum_i \Delta \theta_i)$$

【0011】故に、インバータ21によって位相($\sum \Delta \theta_i$)のQ相成分の符号を反転すれば、位相($\sum \Delta \theta_i$)に対する補正量($-\sum \Delta \theta_i$)が求まる。得られた補正量

【数3】

$$(\cos(\sum_i \Delta \theta_i), -\sin(-\sum_i \Delta \theta_i))$$

を受信信号に複素乗算器②20で乗算し、周波数オフセットを補正したI相データとQ相データを出力をする。

【0012】以上が、UWが2シンボルある場合のAFC回路の動作である。この回路が動作可能なフレーム構成の一例は、図11のようなUW間の位相差が既知の場合である。即ち、常時、パイロットシンボルとして挿入される既知シンボルが1フレーム中(UWの挿入周期)に2シンボル以上挿入されている必要がある。

【0013】

【発明が解決しようとする課題】しかし、準同期検波を行うためには、UW中のパイロットシンボルは、1フレーム当たり1シンボルで十分であり、パイロットシンボルが2シンボル挿入されている上記従来方法では、情報データの伝送効率の低下を招いているという欠点があ

4

*メモリ③にはUW1のI相の受信データが記憶され、メモリ④にはUW1のQ相の受信データが記憶される。

【0007】これ等の受信データを遅延検波器12で遅延検波すると、UW間の位相差が求まる。UW間の位相差は既知の一定値であるため、移相器13でUW間の既知の位相差のみを除去し、UW間での周波数オフセットによる残留位相回転成分を取り出す。この残留位相回転成分のI相成分及びQ相成分を、LPF15、16でそれぞれ平均化する。これらのLPF出力が、平均化された周波数オフセットによる位相差 $\Delta \theta_i$ (i はサンプル系列の番号)のI相成分($\cos(\Delta \theta_i)$)とQ相成分($\sin(\Delta \theta_i)$)である。

【0008】周波数オフセットによる位相回転は、この位相差 $\Delta \theta_i$ の累積であるため、複素乗算器①19とラッチ17、18でI相成分、Q相成分を累積し、

【外1】

$$\sum_i \Delta \theta_i \text{ の I 相、Q 相成分を求める。}$$

【0009】この位相と補正量との関係は、回転方向が逆、すなわち、補正量は次式で表される。

【0010】

【数1】

$$\text{補正量} = \exp(-\sum_i \Delta \theta_i)$$

補正量のI相成分とQ相成分は次式である。

【数2】

【0011】このことは、1フレーム中に含まれるNシンボル中にMシンボルのUWが挿入されている場合、伝送効率は $(N-M)/N$ と表され、UWシンボル数Mが増大するに従って伝送効率が低下することから明らかである。

【0014】1フレームに1シンボルしかUWが挿入されていないフレーム構成で、従来技術を使用してベースバンドAFC回路を実現するには、フレーム毎のUWの位相差から周波数オフセットを求める手法が考えられるが、推定可能な位相回転量はフレーム長によって決まり、フレーム長がNシンボルの時の推定可能な位相回転量の最大値は、次式となる。

$$\text{最大位相回転量} = \pm 180^\circ / N$$

【0015】Nが小さければ、補償可能な位相回転量は大きくなるが、前述のように、伝送効率は悪くなる。フレーム構成の具体例を挙げると、Nが20シンボルの場合では、推定可能な位相回転量の最大値は $\pm 9^\circ$ であり、8kHzのシンボルレートの伝送を行うことを想定すると、補償可能な周波数オフセットは高々 ± 200 Hzに限定される。雑音の影響を考慮すると動作範囲は更に小さくなり、 ± 100 Hz程度となる。しかし、基準周波数の誤差を100Hz以内とするには、かなり高い

周波数安定度を持つ発振子が必要になる。そのような周波数安定度の高い素子は高価でもあり、経年変化等を考えると発振子の精度に頼る方法は得策ではない。また、求まる位相回転量は UW 間での位相回転の値であり、シンボル当たりの位相回転量に変換する回路を別途設備する必要があり、回路規模が大きくなるという問題がある。

【0016】本発明の目的は、上記従来技術の問題点を解決し、伝送効率を低下することなく、広い AFC 補正範囲を確保できる自動周波数制御方法及び回路 (AFC 回路) を提供することにある。

【0017】

【課題を解決するための手段】本発明の自動周波数制御方法は、一定周期で挿入された既知シンボルとそれに隣接した可変データシンボルとそれに続くデータとで 1 フレームが構成された受信信号の前記既知シンボルと前記可変データシンボルの複数シンボル間の位相差を算出、判定する手段と、判定結果を基にして前記可変データシンボルの変調成分を除去した後に残る周波数オフセットによる残留位相回転成分を検出する手段と、該検出値を平均化して周波数オフセット推定値を求める平均化手段と、該周波数オフセット推定値を用いて周波数誤差を補償する手段とを備えたことを特徴とするものである。

【0018】

【発明の実施の形態】図 1 は本発明の第 1 の実施例を示すブロック図である。この第 1 の実施例の基本的構成は、図 10 の従来回路に判定器 14 を備えた AFC 回路である。図 2 は本発明の動作を説明するためのフローチャートであり、31~37 はステップ番号である。図 5 は本発明のフレーム構成の第 1 の例を示す。従来の 2 つ目の UW2 を 1 シンボルの可変データにしたものであ

*

シンボル毎の位相回転 $\sum_i (-\Delta\theta_i)$ を求める (ステップ 36)。この位相回転が周波数オフセットの補正值となる。この補正值の I、Q 成分 ($\cos(\sum_i (-\Delta\theta_i))$ 、 $\sin(\sum_i (-\Delta\theta_i))$) と受信データを複素乗算器 20 で乗算し、周波数オフセットを補正する (ステップ 37)。

【0022】ここで、判定器 14 の動作について例を挙げて説明する。まず、図 5 に示すフレーム構成を考える。説明の簡単のために、可変データを、ある 2 値の制御データとした場合について述べる。可変データを、ある制御データとし、振幅が UW と等しく、制御データにより UW との位相差が 0° 、 180° となるように構成された場合、遅延検波器 12 からの出力は、I 相が $\cos(0^\circ - \Delta\theta)$ 、 $\cos(-180^\circ - \Delta\theta)$ となり、Q 相が $\sin(0^\circ - \Delta\theta)$ 、 $\sin(-180^\circ - \Delta\theta)$ となる。ここで、 $\Delta\theta$ は周波数オフセットによるシンボル当たりの位相差である。この式から、雑音等が無ければ、周波数オフセットによる位相差が $\pm 90^\circ$ 以内な

*【0019】まず、本発明の基本的な構成例である図 1 の第 1 の実施例について、図 2 のフローチャート、及び図 5 のフレーム構成を用いて説明する。まず、UW 区間であるとき (ステップ 31)、UW 検出器 6 からの UW 位置情報に従い、切替器 SW1 と SW2 をオンにして、メモリ ① に可変データの I 相を、メモリ ② に可変データの Q 相を、メモリ ③ に UW の I 相、メモリ ④ に UW の Q 相をそれぞれ記憶し、それらのデータを遅延検波器 12 で遅延検波する (ステップ 32)。遅延検波後の位相差 ($\Delta\theta_{wi} - \Delta\theta_i$) を判定器 14 で判定し (ステップ 33)、可変データによる位相回転量 ($-\Delta\theta_{wi}$) を求める。判定結果に基づき、可変データによる位相回転量 ($-\Delta\theta_{wi}$) を推定し、その補正量 ($\Delta\theta_{wi}$) の I 成分 $\cos(\Delta\theta_{wi})$ と Q 成分 $\sin(\Delta\theta_{wi})$ を移相器 13 に対して出力する。

【0020】移相器 13 では、可変データによる位相差 ($-\Delta\theta_{wi}$) に対する補正值 ($\cos(\Delta\theta_{wi})$ 、 $\sin(\Delta\theta_{wi})$) を、遅延検波器 12 の出力信号に複素乗算することで移相し、可変データによる変調成分を除去し、周波数オフセットによる位相差 ($-\Delta\theta_i$) の I、Q 相成分を求める (ステップ 34)。また、この移相器 13 では、遅延検波器 12 の出力信号のパワーを正規化し、位相情報のみに変換している。もちろん、遅延検波器 12 でパワーの正規化を行っても何ら変わりはない。

【0021】周波数オフセットによる位相差 ($-\Delta\theta_i$) の I 相成分 $\cos(-\Delta\theta_i)$ と Q 相成分 $\sin(-\Delta\theta_i)$ をそれぞれ LPF15、LPF16 で平均化する (ステップ 35)。LPF 出力信号がシンボル当たりの位相差となる。この位相差をラッチ 17、18 と複素乗算器 ① 19 でシンボル毎に累積し、

【外 2】

ら、誤判定しないで変調による位相回転を正確に除去できることが判る。シンボルレートが 8 kHz の場合、 $\pm 90^\circ$ を周波数に換算すると ± 2 kHz となる。

【0023】また、可変データを情報データとした場合、16 QAM 変調方式を例にすると、可変データは、図 7 の黒い点・に示すように 16 値をとり、UW を図 7 中の A 点とした場合、UW との位相差は、 0° 、 $\pm 26.6^\circ$ 、 $\pm 63.4^\circ$ 、 $\pm 90^\circ$ 、 $\pm 116.6^\circ$ 、 $\pm 153.4^\circ$ 、 180° の 12 種類がある。位相差を判定することで、情報データを変調したことによる位相差を求めることができる。判定のためのしきい値が複数必要であるが、動作については前述した可変データが 2

値の制御データの場合と同様である。この場合、しきい値の間隔が一定とはならないことから、しきい値の間隔により決定される周波数オフセットの検出レンジも同様とはならない。周波数オフセットの検出レンジが最も狭い所では、最大±13.3°であり、この値がAFCの補償可能な位相回転量となり、具体的な数値例を挙げると、シンボルレートが8kHzの時では周波数に換算すると約±300Hzとなる。

【0024】図6は本発明で他のフレーム構成例図であり、従来の1つ目のUW1を1シンボルの可変データにしたものである。図1に例示した第1の実施例のAFC回路と、この図6のフレーム構成の場合には、UW位置の1シンボル前から切替器SW1、SW2が閉じられ、メモリ①にUWのI相、メモリ②にUWのQ相、メモリ③に可変データのI相、メモリ④に可変データのQ相が記憶される。それ以降の動作は、前述の図5のフレーム構成を使用した場合と同様で、その効果も全く等しい。

【0025】図3は本発明の第2の実施例を示すブロック図である。この第2の実施例は、前記図1の第1の実施例の回路に、切替器SW3と、しきい値記憶バッファ22、比較器23、ラッチ24、25を備えたAFC回路である。

【0026】この第2の実施例は、第1の実施例において、従来技術の例と同様、受信信号には雑音等が混入することが一般的であり、遅延検波後の位相差を判定する際に判定誤りが起こり、AFC特性に劣化を招く。この誤判定の影響を抑えたものである。遅延検波後の信号に対してしきい値を設け、そのしきい値を越えた場合には、そのデータを使用しないように、SW3を切替えるように切り換え信号を発生する回路を、しきい値記憶バッファ22と比較器23、SW3で構成した。比較器23で、しきい値記憶バッファ22に記憶されている値と、遅延検波器12の出力とを比較し、遅延検波器12の出力がしきい値より大きいとき、SW3をラッチ24、25からの出力を出力するように切替える。SW3の出力をそれぞれLPF15、16へ出力し、誤判定の影響を除去する。

【0027】また、比較器23で、遅延検波器12の出力がしきい値を越えていないと判断されたとき、遅延検波器12の出力がSW3の出力となるような切り換え信号を出力し、SW3を切替える。同時に、SW3からの出力をラッチ24、25に記憶する。ラッチ24、25には、しきい値を越えなかった遅延検波器12の出力が記憶される。この機能の前後の構成及びその動作は、前述した図1の第1の実施例の場合と同様である。

【0028】図4は本発明の第3の実施例を示すブロック図である。図4に例示した第3の実施例の構成は、移相器13の出力を比較器23での比較対象とした例である。この構成は、構成要素は図3の第2の実施例と同じ

であるが、しきい値と信号線の接続を変えた例である。図4の第3の実施例の動作は本質的に図3の第2の実施例と変わらず、その効果も同様である。

【0029】ここで、図3、図4の構成における具体的な数値例を挙げると、しきい値記憶バッファ22に記憶されているしきい値の範囲は、可変データが2値の制御データの場合、0°から±90°とする。例えば、しきい値が±45°の場合、シンボルレートを8kbp/sとすると、補正可能な周波数範囲は±1kHzとなる。また、可変データが情報データの場合では、前記しきい値の設定範囲は0°から±13.3°とする。前記しきい値の具体例として±10°とすると、シンボルレートが8kHzの時では周波数に換算すると±220Hzとなる。

【0030】すなわち、従来技術ではAFCの割り込み範囲が±100Hz程度しか補正できなかったフレーム構成でも、本発明のAFC回路を使用すれば、±220Hz～1kHzまで補正可能となる。その引込み範囲は、従来技術の2～10倍となり大幅に改善される。しかも、回路の追加はほとんどなく、装置の小型化に有利である。

【0031】図8は本発明の実測例である。同図は、周波数オフセット量対ビットエラーレート(BER)を表す図であり、回路構成が図3の第2の実施例で、図5のフレーム構成とし、可変データを2値の制御データとした時の実測値である。その他の測定時の条件は、動特性(フェージング周波数5Hz)、Eb/No=30dBでの16QAM変調方式での測定結果である。同図より、本発明により周波数オフセットを広範囲にわたって補正していることがわかる。

【0032】なお、図1及び図3、図4の遅延検波出力は、通常の遅延検波と位相回転方向が逆となっているが、これは回路の簡単化のために、遅延検波の順番を入れ替えることで直接補正量を算出しているためである。通常の遅延検波回路であれば、従来技術の例のように、遅延検波後に位相の回転方向を逆転させる回路(インバータ等)を追加すれば構成できることは容易に理解できる。

【0033】

【発明の効果】本発明によれば、周波数ずれの検出に、パイロットシンボルのみならず可変データのように常時一定シンボルとしないシンボルを使用することが可能となり、パイロットシンボルのみを用いる場合の従来技術の問題点であったAFCの引込み範囲を大幅に拡大することができる。また、本発明による回路規模の増加は少なく、尚且つ、全てデジタル信号処理であるため、LSI化が容易であり、装置の小型化が可能となるなど実用上の効果は極めて大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図であ

る。

【図2】本発明の動作を示すフローチャートである。

【図3】本発明の第2の実施例を示すブロック図である。

【図4】本発明の第3の実施例を示すブロック図である。

【図5】本発明でのフレーム構成の一例（その1）を示す図である。

【図6】本発明でのフレーム構成の一例（その2）を示す図である。

【図7】16QAM変調方式での位相差説明図である。

【図8】本発明の実測例図である。

【図9】本発明の対象とする受信装置のブロック図である。

【図10】従来のベースバンドAFC回路例図である。

【図11】従来のフレーム構成例図である。

【符号の説明】

1 直交検波器

2 LPF

3 A/D変換器

4 復調器

5 AFC回路

6 UW検出器

7 伝搬路歪み推定補償器

8 復号器

9 P/S変換器

11 メモリ

12 遅延検波器

13 移相器

14 判定器

15, 16 LPF

17, 18 ラッチ

19, 20 複素乗算器

21 インバータ

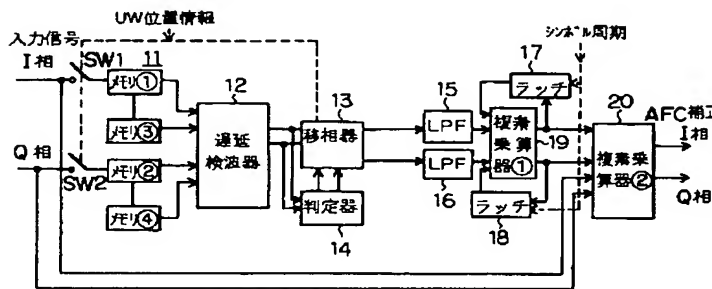
22 しきい値記憶バッファ

23 比較器

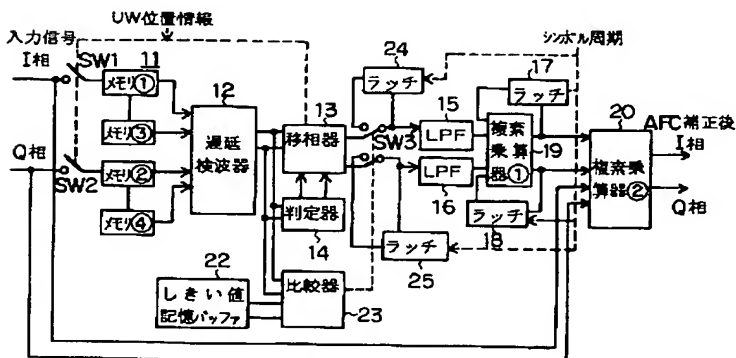
24, 25 ラッチ

31~37 ステップ番号

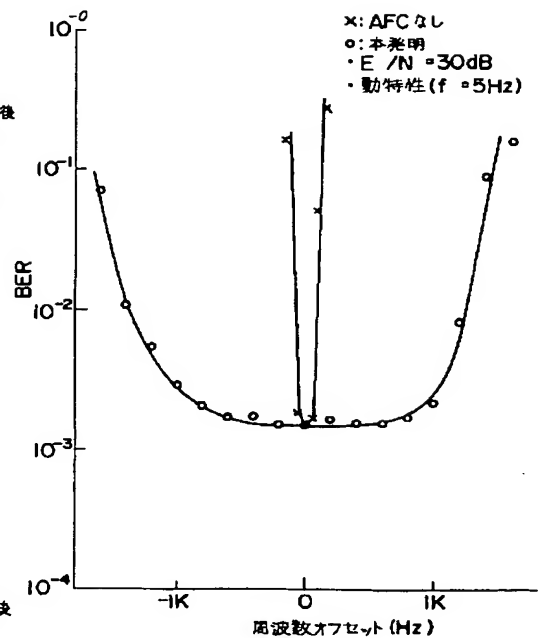
【図1】



【図3】

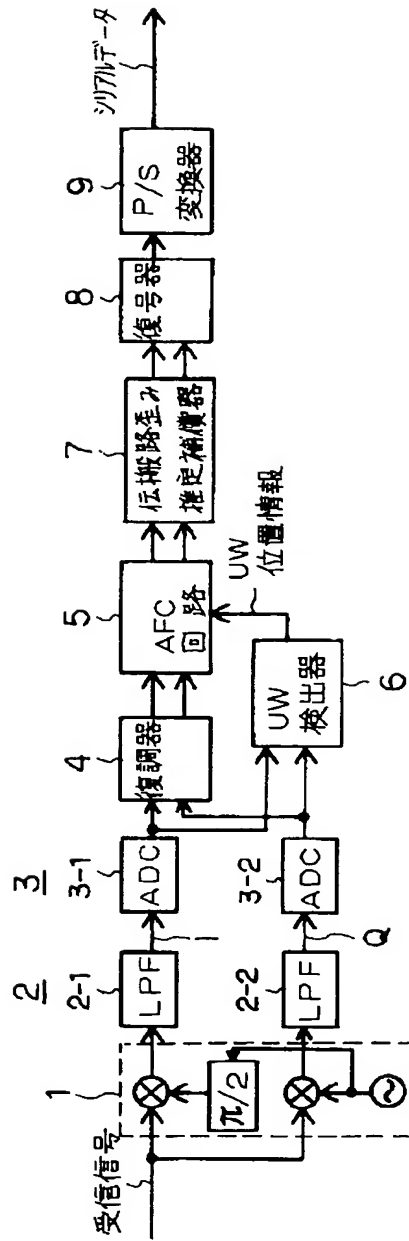


【図8】

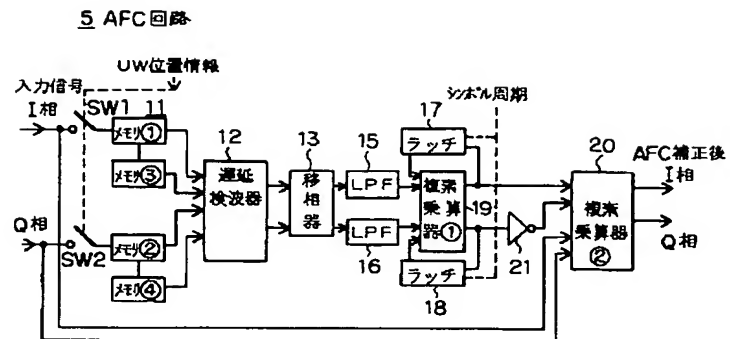


【图 5】

【図9】



【図10】



【図11】

